

DIALOG(R) File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

013069636 **Image available**

WPI Acc No: 2000-241508/200021

XRFX Acc No: N00-181616

Constant current driving circuit for organic electroluminescent element of active matrix system, has capacitor whose two electrodes are connected to gate of transistor and ground

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000056847	A	20000225	JP 98229650	A	1998081	200021 B

Priority Applications (No Type Date): JP 98229650 A 19980814

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000056847	A		7 G05F-003/26	

Abstract (Basic): JP 2000056847 A

NOVELTY - One electrode of the capacitor (7) is connected to the gate of the transistor (5) and other electrode to ground (11). DETAILED DESCRIPTION - The drain of the transistor (4) is connected to the input terminal (1) and the source of the transistor is connected to the ground (11). The transistor (6) for switches is connected to the gate and drain of the transistor (4). The control terminal (2) into which the signal for performing the control of conduction and cut-off of the transistor (6) is input, is connected to the gate of the transistor (6). The gate of the transistor (5) is connected to the transistor (6) and the source of transistor (5) is connected to the ground (11). The channel of the transistors (4, 5) is different from the channel of the transistor (6) for switches. A diode for a first level shift, is connected between the source of the transistor (4) and the ground. The diode for a second level shift is connected between the source of the transistor (5) and the ground.

USE - For organic electroluminescent element of active matrix system.

ADVANTAGE - Improvement in the conformity of the current mirror circuit is achieved. Does not need large size transistor for driving circuit. Rate of aperture of pixel is raised and brightness is increased. DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of constant current driving circuit. (1) Input terminal; (2) Control terminal; (4-6) Transistors; (7) Capacitor; (11) Ground.

Dwg. 1/7

JP 2000056847 A

NOVELTY - One electrode of the capacitor (7) is connected to the gate of the transistor (5) and other electrode to ground (11). DETAILED DESCRIPTION - The drain of the transistor (4) is connected to the input terminal (1) and the source of the transistor is connected to the

ground (11). The transistor (6) for switches is connected to the gate and drain of the transistor (4). The control terminal (2) into which the signal for performing the control of conduction and cut-off of the transistor (6) is input, is connected to the gate of the transistor (6). The gate of the transistor (5) is connected to the transistor (6) and the source of transistor (5) is connected to the ground (11). The channel of the transistors (4, 5) is different from the channel of the transistor (6) for switches. A diode for a first level shift, is connected between the source of the transistor (4) and the ground. The diode for a second level shift is connected between the source of the transistor (5) and the ground.

USE - For organic electroluminescent element of active matrix system.

ADVANTAGE - Improvement in the conformity of the current mirror circuit is achieved. Does not need large size transistor for driving circuit. Rate of aperture of pixel is raised and brightness is increased. DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of constant current driving circuit. (1) Input terminal; (2) Control terminal; (4-6) Transistors; (7) Capacitor; (11) Ground.

Dwg. 1/7

Title Terms: CONSTANT; CURRENT; DRIVE; CIRCUIT; ORGANIC; ELECTROLUMINESCENT
; ELEMENT; ACTIVE; MATRIX; SYSTEM; CAPACITOR; TWO; ELECTRODE; CONNECT;
GATE; TRANSISTOR; GROUND

Derwent Class: U14; U21; U24

International Patent Class (Main): G05F-003/26

International Patent Class (Additional): G05F-003/24; H03K-017/687

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06471272 **Image available**

CONSTANT CURRENT DRIVING CIRCUIT

PUB. NO.: 2000-056847 [JP 2000056847 A]
PUBLISHED: February 25, 2000 (20000225)
INVENTOR(s): NISHITOBA SHIGEO
APPLICANT(s): NEC CORP
APPL. NO.: 10-229650 [JP 98229650]
FILED: August 14, 1998 (19980814)
INTL CLASS: G05F-003/26; G05F-003/24; H03K-017/687

ABSTRACT

PROBLEM TO BE SOLVED: To provide a constant current driving circuit which can supply a constant current corresponding to an inputted signal without increasing cost.

SOLUTION: A resistance 3 is connected to an input terminal 1. Further, a transistor(TR) 4 has its drain and gate connected to the resistance 3. A switching TR 6 has one end connected to the drain and gate of the TR 4. A control terminal 2 inputting an address signal for ON/OFF control over the switching TR 6 is connected to the gate of the switching TR 6. One electrode of a charge holding capacity element 7 is connected to the other end of the switching TR 6. The other electrode of the charge holding capacity element 7 is connected to a ground terminal 11. Further, a TR 5 has its gate connected to the other end of the switching TR 6. A load 8 is connected to the drain of the TR 5.

COPYRIGHT: (C) 2000, JPO

?

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-56847

(P2000-56847A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 5 F 3/26		G 0 5 F 3/26	5 H 4 2 0
3/24		3/24	A 5 J 0 5 5
H 0 3 K 17/687		H 0 3 K 17/687	H

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平10-229650

(22)出願日 平成10年8月14日(1998.8.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

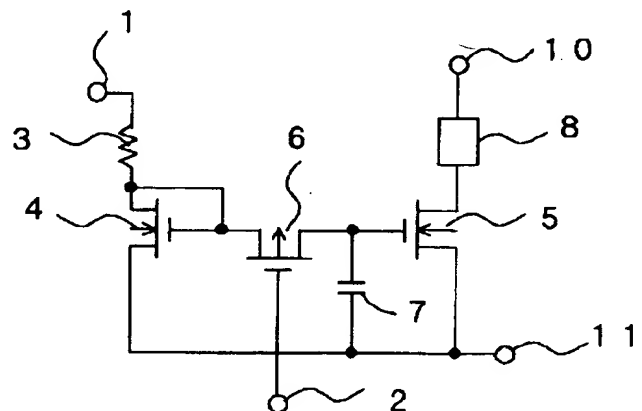
最終頁に続く

(54)【発明の名称】 定電流駆動回路

(57)【要約】

【課題】 コストを上昇させることなく入力された信号に応じた定電流を供給することができる定電流駆動回路を提供する。

【解決手段】 入力端子1に抵抗3が接続されている。また、抵抗3にドレイン及びゲートが接続されたトランジスタ4が設けられている。また、トランジスタ4のドレイン及びゲートに一端が接続されたスイッチ用トランジスタ6が設けられている。そして、スイッチ用トランジスタ6のゲートには、スイッチ用トランジスタ6の導通/遮断の制御を行うためのアドレス信号が入力される制御端子2が接続されている。また、スイッチ用トランジスタ6の他端には、電荷保持容量素子7の一方の電極が接続されている。電荷保持容量素子7の他方の電極は、接地端子11に接続されている。更に、スイッチ用トランジスタ6の前記他端にゲートが接続されたトランジスタ5が設けられている。また、トランジスタ5のドレインには、負荷8が接続されている。



【特許請求の範囲】

【請求項1】 入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲート及びドレインに接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記スイッチ用トランジスタにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする定電流駆動回路。

【請求項2】 前記第1及び第2のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と相違し、前記第1のトランジスタのソースと接地との間に接続された第1のレベルシフト用ダイオードと、前記第2のトランジスタのソースと接地との間に接続された第2のレベルシフト用ダイオードと、を有することを特徴とする請求項1に記載の定電流駆動回路。

【請求項3】 前記第1及び第2のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と同じであることを特徴とする請求項1に記載の定電流駆動回路。

【請求項4】 入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲートとドレインとの間に接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記第1のトランジスタのゲートにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする定電流駆動回路。

【請求項5】 前記入力端子と前記第1のトランジスタのドレインとの間に接続された抵抗を有することを特徴とする請求項1乃至4のいずれか1項に記載の定電流駆動回路。

【請求項6】 前記入力端子と前記抵抗との間に接続されたソースフォロワ用トランジスタを有することを特徴とする請求項5に記載の定電流駆動回路。

【請求項7】 前記第2のトランジスタのドレインは有機エレクトロルミネセント素子に接続されることを特徴とする請求項1乃至6のいずれか1項に記載の定電流駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクス方式の有機エレクトロルミネセント素子等に好適な定電流駆動回路に関し、特に、内蔵されるカレントミラー回路の整合性の向上を図った定電流駆動回路に関する。

【0002】

【従来の技術】 従来、アクティブマトリクス方式の有機エレクトロルミネセント（EL）素子等に定電流駆動回路が使用されている。図7は従来の定電流駆動回路を示す回路図である。

【0003】 従来の定電流駆動回路においては、入力端子101に抵抗103が接続されている。また、抵抗103にドレイン及びゲートが接続されたトランジスタ104が設けられている。トランジスタ104のソースには、スイッチ用トランジスタ106のドレインが接続されている。そして、スイッチ用トランジスタ106のゲートには、スイッチ用トランジスタ106の導通／遮断の制御を行うためのアドレス信号が入力される制御端子102が接続され、スイッチ用トランジスタ106のソースには、接地端子111が接続されている。

【0004】 また、トランジスタ104のドレイン及びゲートには、電荷保持容量素子107の一方の電極が接続されている。電荷保持容量素子107の他方の電極は、接地端子111に接続されている。更に、トランジスタ104のドレイン及びゲートにゲートが接続されたトランジスタ105が設けられている。トランジスタ105のソースは接地端子111に接続されている。また、トランジスタ105のドレインには、負荷108が接続されている。負荷108は、例えば定電流駆動を要する有機EL素子である。そして、負荷108には、電源端子110が接続されている。このようにして構成された従来の定電流駆動回路には、トランジスタ104及び105からなるカレントミラー回路が含まれている。

【0005】 そして、入力端子101に入力された信号の電圧に応じて抵抗103に電流が流れる。このとき、スイッチ用トランジスタ106が導通状態であれば、トランジスタ105に抵抗103に流れる電流に比例した電流がドレイン電流として流れ、負荷108にも電流が流れる。一方、スイッチ用トランジスタ106が遮断状態であれば、トランジスタ105にはドレイン電流が流れないので、負荷108にも電流は流れない。このようにして、負荷108に流れる定電流の導通／遮断が制御される。

【0006】

【発明が解決しようとする課題】 しかしながら、上述の従来の定電流駆動回路においては、スイッチ用トランジスタ106のオン抵抗及びソース電流による電圧降下のためにカレントミラー回路の整合性が悪化し、負荷108に入力端子101の信号レベルに応じた定電流が供給されないという問題点がある。

【0007】 また、これを防止するためにスイッチ用ト

ランジスタ106のサイズを大きくしてそのオン抵抗を小さくすることが考えられるが、これを半導体集積回路で構成しようとする場合、チップサイズが増大するため、コストの上昇につながる。また、例えば有機EL素子の駆動回路として薄膜トランジスタ(TFT)を使用する場合、スイッチ用トランジスタに大きなサイズが必要となるため、画素の占有率が減って開口率が低下して輝度が低下してしまう。この場合には、輝度を通常使用レベルまで上昇させるために定電流値を上げる等の対策が必要となり、近時の省電力化に逆行するものとなる。

【0008】本発明はかかる問題点を鑑みてなされたものであって、コストを上昇させることなく入力された信号に応じた定電流を供給することができる定電流駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明に係る定電流駆動回路は、入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲート及びドレインに接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記スイッチ用トランジスタにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする。

【0010】なお、前記第1及び第2のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と相違し、前記第1のトランジスタのソースと接地との間に接続された第1のレベルシフト用ダイオードと、前記第2のトランジスタのソースと接地との間に接続された第2のレベルシフト用ダイオードと、を有してもよい。

【0011】また、前記第1及び第2のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と同じであってもよい。

【0012】本発明に係る他の定電流駆動回路は、入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲートとドレインとの間に接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記第1のトランジスタのゲートにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特

徴とする。

【0013】なお、前記入力端子と前記第1のトランジスタのドレインとの間に接続された抵抗を有することができる。

【0014】また、前記入力端子と前記抵抗との間に接続されたソースフォロワ用トランジスタを有することができる。

【0015】更に、前記第2のトランジスタのドレインは有機エレクトロルミネセント素子に接続されることができる。

【0016】本発明においては、スイッチ用トランジスタが非導通にされても、第2のトランジスタのゲートと接地との間に設けられた容量素子に蓄積された電荷によって、定電流を供給し続けることができる。また、スイッチ用トランジスタのオン抵抗による電圧降下は無視できるほど小さい。このため、カレントミラー回路の整合性が著しく改善される。

【0017】

【発明の実施の形態】以下、本発明の実施例に係る定電流駆動回路について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る定電流駆動回路を示す回路図である。

【0018】本実施例の定電流駆動回路においては、入力端子1に抵抗3が接続されている。また、抵抗3にドレイン及びゲートが接続されたNチャネルMOSトランジスタ4が設けられている。トランジスタ4のソースには、接地端子11が接続されている。また、トランジスタ4のドレイン及びゲートに一端が接続されPチャネルMOSトランジスタであるスイッチ用トランジスタ6が設けられている。そして、スイッチ用トランジスタ6のゲートには、スイッチ用トランジスタ6の導通/遮断(非導通)の制御を行うためのアドレス信号が入力される制御端子2が接続されている。

【0019】また、スイッチ用トランジスタ6の他端には、電荷保持手段として電荷保持容量素子7の一方の電極が接続されている。電荷保持容量素子7の他方の電極は、接地端子11に接続されている。更に、スイッチ用トランジスタ6の前記他端にゲートが接続されたNチャネルMOSトランジスタ5が設けられている。トランジスタ5のソースは接地端子11に接続されている。また、トランジスタ5のドレインには、負荷8が接続されている。負荷8は、例えば定電流駆動を要するアクティブマトリクス方式の有機エレクトロルミネセント(EL: Electro-Luminescent)素子である。そして、負荷8には、電源端子10が接続されている。このようにして構成された本実施例の定電流駆動回路には、トランジスタ4及び5からなるカレントミラー回路が含まれている。

【0020】次に、上述のように構成された本実施例の定電流駆動回路の動作について説明する。

【0021】入力端子1に画像信号等の入力信号が入力されると、この信号の電圧に応じて抵抗3に電流が流れる。そして、抵抗3に流れる電流は、ドレイン及びソースが相互に接続されたトランジスタ4に流れ、トランジスタ4にゲートソース間電圧が発生する。

【0022】そして、制御端子2に入力されたアドレス信号がロウレベルでスイッチ用トランジスタ6が導通状態の場合には、トランジスタ4に発生したゲートソース間電圧は、スイッチ用トランジスタ6を介して電荷保持容量素子7及びトランジスタ5のゲートに印加される。このとき、トランジスタ4及び5はカレントミラー回路を構成しているため、抵抗3に流れる電流に比例した電流がトランジスタ5のドレイン電流として流れる。即ち、トランジスタ4とトランジスタ5とのパターンサイズの比によって決定される電流、例えばトランジスタ4及び5が同一パターンサイズで構成されている場合には、抵抗3に流れる電流と等しい電流がトランジスタ5のドレインとソースとの間を流れる。これにより、負荷8が駆動される。

【0023】次に、制御端子2に入力されたアドレス信号がハイレベルでスイッチ用トランジスタ6が遮断状態となると、トランジスタ4及び5からなるカレントミラー回路も遮断される。しかし、スイッチ用トランジスタ6が導通状態の時に、入力端子1の信号電圧に応じた電流がトランジスタ4に流れ、その電流に応じたトランジスタ4のゲートソース間電圧が電荷保持容量素子7に印加されている。このため、スイッチ用トランジスタ6が遮断された後にも、この電圧がトランジスタ5のゲートに印加されるので、このゲート電圧に応じた電流が負荷8に供給される。即ち、スイッチ用トランジスタ6が遮断状態でも、負荷8には入力端子1の信号電圧に応じた電流が供給され続ける。

【0024】従って、本実施例をアクティブマトリクス方式の有機EL素子の駆動回路に適用した場合、入力端子1には入力画像信号が入力され、その階調データによって発光輝度が変化する。また、制御端子2にはアドレス信号が入力され、入力端子1からの画像信号に対応する画素が電荷保持容量素子7に選択的に読み込まれ、次の新しい画像信号が入力されるまで電荷が保持され、画素は発光し続ける。

【0025】このように、本実施例によれば、スイッチ用トランジスタ6のオン抵抗による電圧降下を無視できるため、カレントミラー回路の整合性が改善される。

【0026】また、従来技術のように大電流経路にスイッチ素子を設ける場合には、オン抵抗を低減するために素子サイズを大きくする必要があったが、本実施例においてスイッチ用トランジスタ6を流れる電流は無視できるほど小さいので、最小寸法のトランジスタにて構成することができる。従って、半導体集積回路に適用する場合にも、安価なものとなる。

【0027】更に、有機ELの駆動回路として薄膜トランジスタ(TFT)を使用する場合にも、大きなスイッチ用トランジスタは不要であるため、画素の開口率の向上をさせ有機ELの輝度を向上させることが可能である。また、薄膜トランジスタによりカレントミラー回路を構成するトランジスタ4及び5を作製する場合、トランジスタ4及び5を相互に隣接して配置することができるため、製造に起因するトランジスタのパラメータのバラツキを低く抑制することができる。従って、トランジスタ4及び5からなるカレントミラー回路の整合性が向上する。

【0028】次に、本発明の第2の実施例について説明する。本実施例には、レベルシフト用のダイオード構造を有するトランジスタが配設されている。図2は本発明の第2の実施例に係る定電流駆動回路を示す回路図である。なお、図2に示す第2の実施例において図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0029】本実施例に係る定電流駆動回路には、トランジスタ4のソースにドレインが接続され接地端子11にソースが接続されダイオード構造を有するNチャネルMOSトランジスタ12が設けられている。また、トランジスタ5のソースにドレインが接続され接地端子11にソースが接続されダイオード構造を有するNチャネルMOSトランジスタ13が設けられている。

【0030】第1の実施例においては、カレントミラー回路が2個のNチャネルMOSトランジスタから構成され、スイッチ用トランジスタにPチャネルMOSトランジスタが使用されているが、このような構成のもとでPチャネルMOSトランジスタのオン電圧がNチャネルMOSトランジスタのオン電圧より大きい場合には、スイッチ用トランジスタ6を導通させるためには、制御端子2の電圧を接地端子11の電圧以下にする必要がある。

【0031】第2の実施例においても、制御端子2の電圧を接地端子11の電圧以下にする必要があるが、レベルシフト用にトランジスタ12及び13が設けられているので、容易に適応することが可能である。

【0032】なお、この場合、カレントミラー回路の整合性を確保するため、トランジスタ12及び13は相互に同一導伝形式、つまりチャンネルの導電型が同じである必要がある。本実施例においては、NチャネルMOSトランジスタが使用されているが、PチャネルMOSトランジスタを使用されても同様の効果が得られる。

【0033】また、第1の実施例においても、NチャネルMOSトランジスタとPチャネルMOSトランジスタとのオン電圧が等しければ何ら問題はない。

【0034】次に、本発明の第3の実施例について説明する。本実施例においては、スイッチ用トランジスタの導伝形式がカレントミラー回路を構成するトランジスタのそれと同一のものとなっている。図3は本発明の第3

の実施例に係る定電流駆動回路を示す模式図である。なお、図3に示す第3の実施例において図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0035】本実施例に係る定電流駆動回路においては、トランジスタ4のゲートとトランジスタ5のゲートとの間にNチャネルMOSトランジスタであるスイッチ用トランジスタ16が接続されている。

【0036】このように構成された本実施例においては、スイッチ用トランジスタ16とカレントミラー回路を構成するトランジスタ4及び5とのオン電圧が相違していても、制御端子2の電圧を接地端子11の電圧以下にする必要が無くなる。

【0037】なお、第1の実施例においては、アドレス信号がロウレベルのときにカレントミラー回路が動作状態となるが、第3の実施例においては、アドレス信号がハイレベルのときにカレントミラー回路が動作状態となる。

【0038】次に、本発明の第4の実施例について説明する。本実施例においては、スイッチ用トランジスタは、カレントミラー回路を構成するトランジスタのゲート間ではなく、入力端子側に接続されたトランジスタのゲートとドレインとの間に接続される。図4は本発明の第4の実施例に係る定電流駆動回路を示す回路図である。なお、図4に示す第4の実施例において図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0039】本実施例においては、トランジスタ4のゲートとトランジスタ5のゲートとが直接接続されている。また、NチャネルMOSトランジスタであるスイッチ用トランジスタ26がトランジスタ4のゲートとドレインとの間に接続されている。

【0040】このように構成された本実施例においては、スイッチ用トランジスタ26は、カレントミラー回路を構成するトランジスタ4及び5のゲート間ではなく、トランジスタ4のゲートとドレインとの間に接続されているので、スイッチ用トランジスタ26のオン抵抗による電圧降下のためにカレントミラー回路の整合性が悪化するという事は完全に防止される。

【0041】また、第4の実施例においては、制御端子2がロウレベルでカレントミラー回路が遮断状態になったとき、スイッチ用トランジスタ26は遮断される。従って、入力端子1がハイレベルの状態でもトランジスタ4は遮断されるため、抵抗3及びトランジスタ4の経路には電流が流れなくなり、消費電力が低下する。従って、本実施例を例えば有機EL素子等を使用した画像表示装置の駆動回路に適用した場合、画像表示装置には複数の有機EL素子が縦横に配列されているので、著しい省電力化が期待できる。

【0042】次に、本発明の第5の実施例について説明

する。本実施例においては、入力端子と抵抗との間にソースフォロウ用トランジスタが接続される。図5は本発明の第5の実施例に係る定電流駆動回路を示す回路図である。なお、図5に示す第5の実施例において図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0043】本実施例には、入力端子1にゲートが接続されNチャネルMOSトランジスタであるソースフォロウ用トランジスタ9が設けられており、その一端は抵抗3に、その他端は電源端子10に接続されている。また、トランジスタ4及び5のゲート間には、スイッチ用トランジスタ36が接続されている。このスイッチ用トランジスタ36はNチャネルMOSトランジスタであってもPチャネルMOSトランジスタであってもよい。

【0044】このように構成された本実施例においては、ソースフォロウ用トランジスタ9により、入力端子1側のインピーダンスが高くてもカレントミラー回路を構成するトランジスタ4を十分に駆動させることが可能である。

【0045】また、第1の実施例では、入力端子1がロウレベルでありインピーダンスが低い場合には、電荷保持容量素子7に蓄積されていた電荷がスイッチ用トランジスタ6が遮断状態のときにスイッチ用トランジスタ6のオフ抵抗と抵抗3との経路で放電することにより、電荷保持の機能が十分ではなくなることがあるが、第5の実施例にはトランジスタ9が設けられているので、電荷の放電が防止される。

【0046】次に、本発明の第6の実施例について説明する。本実施例は、第4の実施例と第5の実施例とを組み合わせたものである。図6は本発明の第6の実施例に係る定電流駆動回路を示す回路図である。なお、図6に示す第6の実施例において図4に示す第4の実施例又は図5に示す第5の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0047】本実施例においては、トランジスタ4のゲートとトランジスタ5のゲートとが直接接続されている。また、NチャネルMOSトランジスタであるスイッチ用トランジスタ26がトランジスタ4のゲートとドレインとの間に接続されている。更に、本実施例には、入力端子1にゲートが接続されNチャネルMOSトランジスタであるソースフォロウ用トランジスタ9が設けられており、その一端は抵抗3に、その他端は電源端子10に接続されている。

【0048】このように構成された本実施例においては、第4及び第5の実施例による双方の効果が得られる。即ち、カレントミラー回路の整合性が改善される。また、カレントミラー回路を構成するトランジスタ4の駆動性及び電荷保持容量素子7の放電特性が改善される。更に、入力端子1がハイレベル、制御端子2がロウレベル、カレントミラー回路が遮断状態のときには、抵抗3

及びトランジスタ4の電流経路が遮断状態となるため、省電力化の効果もある。

【0049】なお、前述の種々の実施例の組み合わせは第6の実施例に示すものに限定されるものではない。例えば、第5の実施例と第2又は第3の実施例とを組み合わせてもよい。

【0050】

【発明の効果】以上詳述したように、本発明によれば、スイッチ用トランジスタのオン抵抗による電圧降下を無視できるため、カレントミラー回路の整合性を改善することができる。また、スイッチ用トランジスタを流れる電流は無視できるほど小さくなるので、スイッチ用トランジスタを小型化することができ、半導体集積回路で構成する場合にも、コストの上昇を抑制することができる。更に、種々のトランジスタを薄膜トランジスタとし、有機エレクトロルミネセント素子の駆動回路に適用する場合、大きなスイッチ用トランジスタは必要ないので、画素の開口率を向上させ輝度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る定電流駆動回路を示す回路図である。

【図2】本発明の第2の実施例に係る定電流駆動回路を示す回路図である。

【図3】本発明の第3の実施例に係る定電流駆動回路を示す模式図である。

【図4】本発明の第4の実施例に係る定電流駆動回路を示す回路図である。

【図5】本発明の第5の実施例に係る定電流駆動回路を示す回路図である。

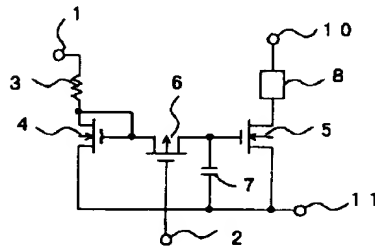
【図6】本発明の第6の実施例に係る定電流駆動回路を示す回路図である。

【図7】従来の定電流駆動回路を示す回路図である。

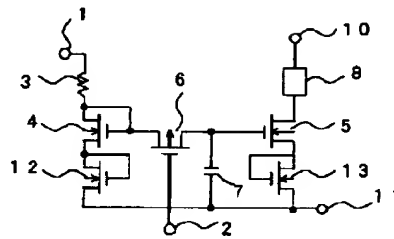
【符号の説明】

- 1、101；入力端子
- 2、102；制御端子
- 3、103；抵抗
- 4、5、6、9、12、13、16、26、36、104、105、106；トランジスタ
- 7、107；容量素子
- 8、108；負荷
- 10、110；電源端子
- 11、111；接地端子

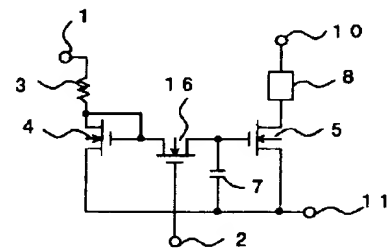
【図1】



【図2】

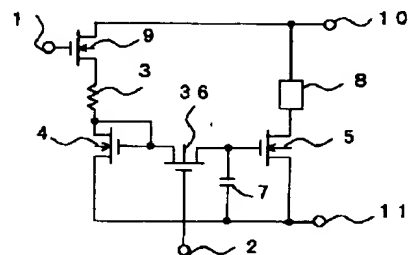


【図3】

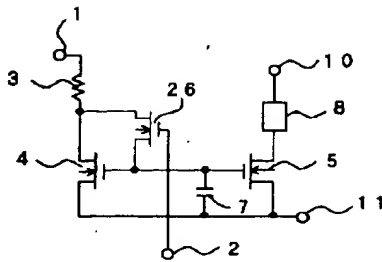


- 1；入力端子
- 2；制御端子
- 3；抵抗
- 4、5、6、12、13；トランジスタ
- 7；容量素子
- 8；負荷
- 10；電源端子
- 11；接地端子

【図5】

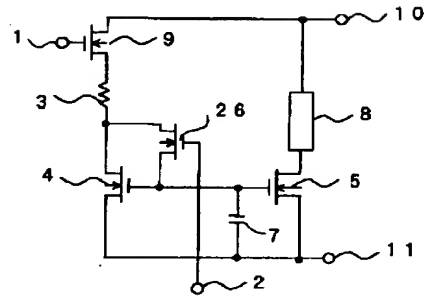


【図4】



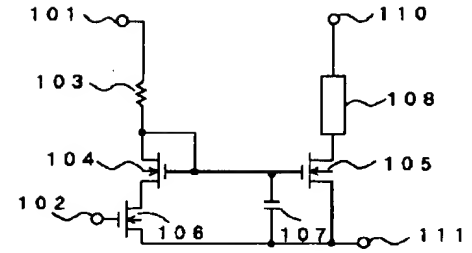
- 1 ; 入力端子
2 ; 制御端子
3 ; 抵抗
4, 5, 16, 26 ; トランジスタ
7 ; 容量素子
8 ; 負荷
10 ; 電源端子
11 ; 接地端子

【図6】



- 1 ; 入力端子
2 ; 制御端子
3 ; 抵抗
4, 5, 9, 26, 36 ; トランジスタ
7 ; 容量素子
8 ; 負荷
10 ; 電源端子
11 ; 接地端子

【図7】



- 101 ; 入力端子
102 ; 制御端子
103 ; 抵抗
104, 105, 106 ; トランジスタ
107 ; 容量素子
108 ; 負荷
110 ; 電源端子
111 ; 接地端子

フロントページの続き

Fターム(参考) 5H420 BB04 BB13 CC02 DD02 EA14
EA18 EA24 EA39 EB15 EB37
FF04 FF22 NA17 NA28 NB03
NB12
5J055 AX11 AX12 AX44 AX48 BX16
CX29 DX13 DX14 DX22 DX61
EX07 EY01 EY10 EY21 EZ04
EZ20 GX01

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

013224101 **Image available**

WPI Acc No: 2000-395975/200034

XRFX Acc No: N00-297729

Constant current driving circuit for organic electro-luminescence element performs voltage-current conversion when voltage value is equal to that of reference voltage

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000138572	A	20000516	JP 98310848	A	19981030	200034 B
JP 3137095	B2	20010219	JP 98310848	A	19981030	200112

Priority Applications (No Type Date): JP 98310848 A 19981030

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 2000138572	A	9	H03K-017/687	
---------------	---	---	--------------	--

JP 3137095	B2	8	H03K-017/04	Previous Publ. patent JP 2000138572
------------	----	---	-------------	-------------------------------------

Abstract (Basic): JP 2000138572 A

NOVELTY - A load (14) is connected between power and earthing terminals (3, 4) through a P-channel field effect transistor (FET) (8) another P-channel FET (13) is connected to the output side of load and earthing terminal (4). A reference voltage source (9) is also connected between terminals. The load performs conversion when the voltage value of the load is normal.

DETAILED DESCRIPTION - A P-channel field effect transistor (FET) (13) is connected serially with a load (14). The load is connected between power and earthing terminals (3, 4) through another P-channel FET (8). A capacitor (15) is parallelly connected to the load. The gates of the FETs (13, 8) are connected to the switches (12, 11) respectively. The input signal is applied to the gate of the N-channel FET (5), which is connected to the another N-channel FET (7) through a resistor (6). A reference voltage source (9) is connected between power and earthing terminals. The switch (12) is connected between reference voltage source and gate of FET (7). The switch (12) is operated in synchronizing with that of switch (11). The load performs current-voltage conversion when voltage value of the load is equal to that of reference voltage source. The voltage between gate and source of the FET (13) is smaller than load value.

USE - For driving organic thin film electro-luminescence element.

ADVANTAGE - Improves light emission response since rise time of current is quickened.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of constant current driving circuit.

Earthing terminals (3, 4)

N-channel FETs (5, 7)

Resistor (6)

FETs (9) Voltage source (8, 13)

Switches (11, 12)

Load (14)

pp; 9 DwgNo 1/14.

Title Terms: CONSTANT; CURRENT; DRIVE; CIRCUIT; ORGANIC; ELECTRO;
LUMINESCENT; ELEMENT; PERFORMANCE; VOLTAGE; CURRENT; CONVERT; VOLTAGE;
VALUE; EQUAL; REFERENCE; VOLTAGE

Derwent Class: P85; U21

International Patent Class (Main): H03K-017/04; H03K-017/687

International Patent Class (Additional): G09G-003/30

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06552843 **Image available**

CONSTANT-CURRENT DRIVING CIRCUIT

PUB. NO. : 2000-138572 [JP 2000138572 A]

PUBLISHED: May 16, 2000 (20000516)

INVENTOR(s): NISHITOBA SHIGEO

APPLICANT(s): NEC CORP

APPL. NO. : 10-310848 [JP 98310848]

FILED: October 30, 1998 (19981030)

INTL CLASS: H03K-017/687; G09G-003/30

ABSTRACT

PROBLEM TO BE SOLVED: To enable a constant-current driving circuit, which drives a load to be subjected to current/voltage conversion and a capacitor connected in parallel with the load by a constant current, to shorten the rising time of the current flowing to the load.

SOLUTION: A capacitor 15 is charged at the time constant determined by a constant-current value from a transistor 8 and the capacitance of the capacitor 15 until its potential reaches a specified voltage which is obtained by converting the constant current of the transistor 8 into a voltage through a load 14. In this case, the reference voltage at the reference voltage terminal 10 of a reference voltage source 9 is set at a value which is smaller than the sum of the specified voltage and the gate-source voltage of a transistor 13. Since a switch 12 is set in continuity synchronously with a control terminal 2 similarly to a switch 11, the capacitor 15 connected in parallel with the load 14 is quickly charged to the voltage through the transistor 13. When the capacitor 15 reaches the voltage, the transistor 13 is disconnected, thereafter, the capacitor 15 is charged to a specified voltage with the constant current of the transistor 8.

COPYRIGHT: (C)2000, JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138572

(P2000-138572A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 3 K 17/687

H 0 3 K 17/687

A 5 C 0 8 0

G 0 9 G 3/30

G 0 9 G 3/30

J 5 J 0 5 5

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平10-310848

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

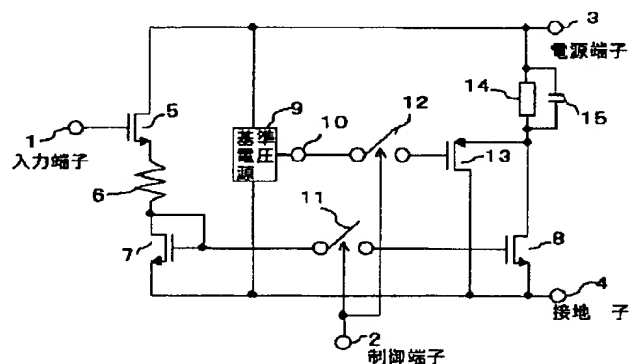
最終頁に続く

(54) 【発明の名称】 定電流駆動回路

(57) 【要約】

【課題】 電流／電圧変換する負荷と、この負荷と並列に接続された容量を定電流で駆動する定電流駆動回路において、負荷を流れる電流の立ち上がり時間を速くする。

【解決手段】 トランジスタ8からの定電流値と、容量15の容量値とで決まる時定数で、容量15は充電を行い、最終的に、トランジスタ8の定電流値を負荷14が電圧変換した規定の電圧値まで充電を行う。ここで、基準電圧源9の基準電圧端子10の基準電圧が、負荷14が電圧変換した規定の電圧値とトランジスタ13のゲート・ソース間電圧との和より小さく設定されている。スイッチ12はスイッチ11と同様に制御端子2に同期して導通状態になっているので、負荷14に並列に接続された容量15は、トランジスタ13を介して、上記設定値まで急速に充電される。上記設定値に達すると、トランジスタ13は遮断するが、その後は、トランジスタ8の定電流が容量を規定の電圧値まで充電する。



【特許請求の範囲】

【請求項1】 電流／電圧変換を行う負荷を定電流駆動する定電流駆動回路であって、
 高電位電源と低電位電源との間で前記負荷と直列に接続された定電流駆動用の第1導電型の第1のFETトランジスタと、
 前記負荷と並列に接続された容量と、
 第1のスイッチング素子と、
 第1のスイッチング素子を介して第1のFETトランジスタとゲート同志が接続され、ゲートとドレインが接続され、第1のFETトランジスタとカレントミラー回路を構成する第1導電型の第2のFETトランジスタと、
 高電位電源と低電位電源との間で第2のFETトランジスタに直列に接続され、ゲートに入力信号が印加される第3のFETトランジスタと、
 第2のFETトランジスタと第3のFETトランジスタの間に接続された抵抗と、
 第1のFETトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のFETトランジスタと、
 高電位電源と低電位電源の間に接続された基準電圧源と、
 第4のFETトランジスタのゲートと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、
 前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のFETトランジスタのゲートと前記負荷側の電極間の電圧との和よりも小さく設定されている定電流駆動回路。

【請求項2】 前記高電位電源と前記低電位電源の間に前記基準電圧源と直列に接続され、ゲートが第2のFETトランジスタのゲートと、第1スイッチング素子を介して第1のFETトランジスタのゲートに接続されている第1導電型の第5のFETトランジスタをさらに有する、請求項1記載の定電流駆動回路。

【請求項3】 前記基準電圧源が、ドレインとゲートが互いに接続されたトランジスタと該トランジスタに直列に接続された抵抗からなり、該トランジスタと該抵抗の接続点を基準電圧端子とする、請求項1または2記載の定電流駆動回路。

【請求項4】 前記基準電圧源が、ドレインとゲートが互いに接続されたトランジスタと、該トランジスタと直列に接続された第1の抵抗と、該トランジスタのソースとドレイン間に互いに直列に接続された第2、第3の抵抗からなり、第2と第3の抵抗の接続点を基準電圧源端子とする、請求項1または2記載の定電流駆動回路。

【請求項5】 電流／電圧変換を行う負荷を定電流駆動する定電流駆動回路であって、
 高電位電源と低電位電源との間で前記負荷と直列に接続

された定電流駆動用の第1導電型の第1のバイポーラトランジスタと、
 前記負荷と並列に接続された容量と、
 第1のスイッチング素子と、
 第1のスイッチング素子を介して第1のバイポーラトランジスタとベース同志が接続され、ベースとコレクタが接続され、第1のバイポーラトランジスタとカレントミラー回路を構成する第1導電型の第2のバイポーラトランジスタと、
 高電位電源と低電位電源との間で第2のバイポーラトランジスタに直列に接続され、ベースに入力信号が印加される第3のバイポーラトランジスタと、
 第2のバイポーラトランジスタと第3のバイポーラトランジスタの間に接続された抵抗と、
 第1のバイポーラトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のバイポーラトランジスタと、
 高電位電源と低電位電源の間に接続された基準電圧源と、
 第4のバイポーラトランジスタのベースと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、
 前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のバイポーラトランジスタのベースと前記負荷側の電極間の電圧との和よりも小さく設定されている定電流駆動回路。

【請求項6】 前記高電位電源と前記低電位電源の間に前記基準電圧源と直列に接続され、ベースが第2のバイポーラトランジスタのベースと、第1スイッチング素子を介して第1のバイポーラトランジスタのベースに接続されている第1導電型の第5のバイポーラトランジスタをさらに有する、請求項5記載の定電流駆動回路。

【請求項7】 前記基準電圧源が、コレクタとベースが互いに接続されたバイポーラトランジスタと該トランジスタに直列に接続された抵抗からなり、該トランジスタと該抵抗の接続点を基準電圧端子とする、請求項5または6記載の定電流駆動回路。

【請求項8】 前記基準電圧源が、コレクタとベースが互いに接続されたバイポーラトランジスタと、該トランジスタと直列に接続された第1の抵抗と、該トランジスタのエミッタとコレクタ間に互いに直列に接続された第2、第3の抵抗からなり、第2と第3の抵抗の接続点を基準電圧源端子とする、請求項5または6記載の定電流駆動回路。

【請求項9】 前記負荷が有機薄膜EL素子である、請求項1から8のいずれかに記載の定電流駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ダイオードや有機

薄膜E L素子のように電流／電圧変換する負荷と、この負荷と並列に接続された容量とを定電流で駆動する定電流駆動回路に関する。

【0002】

【従来の技術】定電流駆動を必要とする負荷の代表的な例として有機薄膜E L素子がある。有機薄膜E L素子は開発からまだ日が浅く、輝度向上等で材料の選択に研究課題があるものの、直流電流で駆動可能なこと、高輝度を高効率で実現でき、さらに、応答性・低温等の温度特性が良好なことから、様々な分野で早期の量産化が望まれている。

【0003】図14は有機薄膜E L素子の断面構造を示したものである。有機薄膜E L素子はガラス基板44の上に陽極電極となりITO透明電極43と陰極電極41との間に絶縁性の有機層42を挟んだ構造を有し、電流／電圧変換を行うダイオード特性を示すだけでなく、絶縁性の有機層22の影響により陽極電極となりITO透明電極23と陰極電極21との間に構造的に寄生容量が接続された構造を有する。こうした特性を有する有機薄膜E L素子を単純マトリクス構造のディスプレイパネルに適用することが考えられる。

【0004】図13は、有機薄膜E L素子を負荷とした定電流駆動回路の従来例を示している。負荷14は有機薄膜E L素子であり、負荷14と並列に接続された容量15は前述した有機薄膜E L素子が構造的に有する寄生容量である。負荷14と容量15の接続点の一端は電源端子3に接続され、他端は定電流駆動用トランジスタ8のドレインに接続されている。トランジスタ8のソースは接地端子4に接続されているトランジスタ8のゲートはスイッチ11を介してトランジスタ8と同一導電型

(図の例では、Nチャネルトランジスタ)のトランジスタ7のゲートとドレインに接続されている。トランジスタ7のソースは接地端子4に接続されている。トランジスタ7および8はスイッチ11を介してカレントミラー回路を構成する。トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロウ用トランジスタ5のソースに接続されている。ここで、抵抗6の両端に発生する電圧は、トランジスタ7と8で構成するカレントミラー回路の電流値を決定する。ソースフォロウ用トランジスタ5のドレインは電源端子3に接続されている。また、ソースフォロウ用トランジスタ5のゲートは入力端子1となっている。

【0005】図13の定電流駆動回路の動作について図を参照して説明する。入力端子1に信号電圧が発生すると、信号電圧はトランジスタ5および7のゲート・ソース間電圧と抵抗6によって電流に変換され、トランジスタ7のドレイン電流となる。トランジスタ7と8は、スイッチ11を介して、カレントミラー回路を構成しているため、トランジスタ8のドレインにはトランジスタ7のドレイン電流に比例したドレイン電流が流れる。この

比例値を、トランジスタ7と8のパターンサイズの比で決定される。例えば、トランジスタ7と8が同一パターンサイズであれば、トランジスタ7および8のドレイン電流は等しくなる。制御端子2に信号が印加され、スイッチ11が導通状態になると、負荷14および負荷14と並列接続された容量15をトランジスタ8は定電流駆動する。ここで、規定の電流を流したときの負荷14の電圧値を V_F 、トランジスタ8のドレイン電流を I_8 、容量15の容量値を C_{15} とし、容量15の充電電圧が V_F に達するまでの時間を T_1 とすると、 T_1 は下記のように表わされる。

【0006】

$$T_1 = C_{15} \cdot V_F / I_8 \quad (1)$$

【0007】

【発明が解決しようとする課題】したがって、図13に示す従来例では、以下の問題点があった。すなわち、入力端子1に信号電圧が発生し、かつ、制御端子2に制御信号が印加され、負荷14に定電流を供給する際、負荷14に並列に接続された容量15により、(1)式に示すように定電流の立ち上がり時間が遅れる。図13の定電流駆動回路を単純マトリクス構造のディスプレイパネルに適用した場合、選択した画素の発光応答時間が遅くなる。その結果、ディスプレイの表示上の残像が目立ち、かつ、輝度の階調もとれなくなり表示品質を落す。

【0008】本発明の目的は、負荷を流れる定電流の立ち上がり時間が早い定電流駆動回路を提供することにある。

【0009】

【課題を解決するための手段】本発明の定電流駆動回路は、高電位電源と低電位電源との間で前記負荷と直列に接続された定電流駆動用の第1導電型の第1のFETトランジスタと、前記負荷と並列に接続された容量と、第1のスイッチング素子と、第1のスイッチング素子を介して第1のFETトランジスタとゲート同志が接続され、ゲートとドレインが接続され、第1のFETトランジスタとカレントミラー回路を構成する第1導電型の第2のFETトランジスタと、高電位電源と低電位電源との間で第2のFETトランジスタに直列に接続され、ゲートに入力信号が印加される第3のFETトランジスタと、第2のFETトランジスタと第3のFETトランジスタの間に接続された抵抗と、第1のFETトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のFETトランジスタと、高電位電源と低電位電源の間に接続された基準電圧源と、第4のFETトランジスタのゲートと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のFETトランジスタのゲートと前記負荷側の電極間の電圧との和より

も小さく設定されている。

【0010】入力信号がローレベルからハイレベルに、かつ両スイッチング素子が共に導通状態になったとする。抵抗は、入力信号の信号電圧を電流に変換し、第2のFETトランジスタにドレイン電流を供給する。第2および第3のFETトランジスタは、第1のスイッチング素子を介してカレントミラー回路を構成しているの、第1のFETトランジスタのドレインには第2のFETトランジスタのドレイン電流に比例した電流が流れ、この電流が負荷および負荷と並列に接続された容量を定電流で駆動する。第1のFETトランジスタからの定電流値と容量の容量値とで決まる時定数で、容量は充電を行い、最終的に、第1のFETトランジスタの定電流値を負荷が電圧変換した規定の電圧値まで充電を行う。ここで、基準電圧源の基準電圧端子の基準電圧を、負荷が電流／電圧変換した規定の電圧値と第4のFETトランジスタのゲート・負荷側の電極間電圧との和よりも小さく設定され、かつ第2のスイッチング素子は第1のスイッチング素子と同様に制御信号に同期して導通状態になっているので、負荷に並列に接続された容量は、第4のFETトランジスタを介して、上記設定値まで急速に充電される。上記設定値に達すると、第4のFETトランジスタは遮断するが、その後は、第1のFETトランジスタの定電流が容量を規定の電圧値まで充電する。

【0011】このように第4のFETトランジスタと第2のスイッチング素子と基準電圧源とを備えたことにより、負荷を流れる電流の立ち上がり時間が速くなる。

【0012】なお、FETトランジスタの代わりにバイポーラトランジスタを用いて同様の効果が得られる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】図1を参照すると、本発明の一実施形態の定電流回路は、入力端子1と、制御端子2と、電源端子3と、接地端子4と、Pチャネルトランジスタ5と、抵抗6と、Pチャネルトランジスタ7、8と、基準電圧源9と、基準電圧端子10と、スイッチ11、12と、Nチャネルトランジスタ13と、ダイオードや有機薄膜EL素子のように定電流駆動を必要とし、さらに、その電流に応じて電圧変換を行う負荷14と、その負荷14に並列に接続された容量15を有している。負荷14と容量15の一端は電源端子3に、他端は定電流駆動用トランジスタ8のドレインに接続されている。トランジスタ8のソースは接地端子4に接続され、ゲートはスイッチ11を介してトランジスタ8と同一導伝形式（図1の例では、Nチャネルトランジスタ）のトランジスタ7のゲートとドレインに接続されている。トランジスタ7のソースは接地端子4に接続されている。トランジスタ7と8はスイッチ11を介してカレントミラー回路を構成し

ている。トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロワ用トランジスタ5のソースに接続されている。ここで、抵抗6の両端に発生する電圧は、トランジスタ7および8で構成するカレントミラー回路の電流値を決定する。ソースフォロワ用トランジスタ5のドレインは電源端子3に接続されている。さらに、ソースフォロワ用トランジスタ5のゲートは入力端子1となっている。

【0015】負荷14と、負荷14と並列に接続された容量15と、トランジスタ8のドレインとの接続点に、Pチャネルトランジスタ13のソースが接続されている。トランジスタ13のソースは接地端子4に、ゲートはスイッチ12を介して基準電圧源9の基準電圧端子10に接続されている。基準電圧源9の一端は電源端子3に、他端は接地端子4に接続されている。スイッチ12は制御端子2に印加される制御信号によって制御され、スイッチ11と同位相で同期して動作する。

【0016】図1の定電流駆動回路の動作について、図を参照して説明する。

【0017】入力端子1に信号電圧が印加されると、信号電圧はトランジスタ5および7のゲート・ソース間電圧と抵抗6によって電流に変換され、トランジスタ7のドレイン電流となる。トランジスタ7と8はスイッチ11を介してカレントミラー回路を構成しているため、トランジスタ8のドレインにはトランジスタ7のドレイン電流に比例した電流が流れる。この電流の大きさは、トランジスタ7および8のパターンサイズの比で決定され、例えば、トランジスタ7および8が同一パターンサイズであれば、トランジスタ7および8のドレイン電流は等しくなる。制御端子2に制御信号が入力しスイッチ11が導通状態となると、負荷14および負荷14と並列接続された容量15をトランジスタ8は定電流駆動する。ここで、規定の電流を流したときの負荷14の電圧値を V_F 、基準電圧源9の基準電圧端子10と電源端子3との電圧差を V_{REF} （以下、基準電圧とする）とし、負荷14の電圧 V_F に対し ΔV_F だけ小さい値でトランジスタ13が導通するように、基準電圧 V_{REF} を設定する。すなわち、基準電圧 V_{REF} を下記のように設定する。

【0018】

$$V_{REF} = V_F - \Delta V_F + V_{GS13} \quad (2)$$

【0019】ただし、トランジスタ13のゲート・ソース間の電圧を V_{GS13} とする。

【0020】入力端子1の信号電圧と制御端子2の電圧が、図2に示すような関係にある場合、すなわち、入力端子1の信号電圧がハイレベルの期間において、制御端子2に制御信号が入力してスイッチ11および12が導通状態になり、負荷14に定電流を供給する。このとき、制御端子2に制御信号が入力すると、スイッチ12は導通状態であるため、負荷14と並列に接続された容

量15の電圧値が $V_F - \Delta V_F$ に達するまで、トランジスタ13は容量15を充電する。基準電圧源9の基準電圧 V_{REF} が式(2)で定まる値に設定されているため、負荷14と並列に接続された容量15が上記値に達した後は、トランジスタ13は遮断し、容量15はカレントミラー回路を構成するトランジスタ8のドレイン電流のみで充電され、最終的に充電電圧が V_F に達すると、負荷14は入力端子1に信号電圧が発生している間、カレントミラー回路を介して定電流を供給される。

【0021】図1の定電流駆動回路において、トランジスタ8のドレイン電流を I_8 、容量15の容量値を C_{15} とする。トランジスタ13は、トランジスタ8のドレイン電流に比して充分電流を供給できるようにしておくと、トランジスタ13が導通して容量15が $V_F - \Delta V_F$ の電圧になるまでの時間は無視できるほど小さい。したがって、容量15が $V_F - \Delta V_F$ から V_F に達するまでの時間 T_2 は、トランジスタ8の定電流のみで充電されるので、下記のように表わされる。

【0022】

$$T_2 = C_{15} \cdot \Delta V_F / I_8 \quad (3)$$

【0023】一方、トランジスタ13による充電を行わず、カレントミラー回路を流れる電流のみで容量15の充電を行った場合、容量15の充電電圧が V_F に達するまでの時間を T_1 とすると、 T_1 は下記ようになる。

【0024】

$$T_1 = C_{15} \cdot V_F / I_8 \quad (4)$$

【0025】したがって、トランジスタ13および基準電圧源9とスイッチ12を備えることにより、負荷14を流れる電流の立ち上がり時間は、式(2)および式(3)から下記に示すように、 ΔT だけ短縮される。

【0026】

$$\Delta T = C_{15} \cdot (V_F - \Delta V_F) / I_8 \quad (5)$$

【0027】上記のように、負荷と並列に容量が接続された場合、立ち上がり時間を式(5)に示すように改善できる。したがって、例えば、本発明を有機薄膜EL素子の駆動回路として適用すると、有機薄膜EL素子はその構造に起因して必ず寄生容量が有機薄膜EL素子と並列に接続されるため、定電流駆動のみの場合と比べ、立ち上がり速度が速くなり、発光応答速度が改善される。

【0028】図3は図1に示した回路の具体的回路図である。本具体例では、ドレインとゲートが互いに接続されたNチャネルトランジスタ 9_1 とそのトランジスタ 9_1 のバイアス電流を決定する抵抗 9_2 とで基準電圧源9が構成される。スイッチ11および12はPチャネルトランジスタで構成される。したがって、この場合は、制御端子2にローレベルの制御信号が入力した場合、スイッチトランジスタ11および12は導通状態となる。なお、図3では基準電圧源9がトランジスタ一個のみの例を示しているが、負荷14の電流/電圧変換値 V_F によっては、トランジスタを複数個接続しても構わないし、

さらに、PチャネルトランジスタとNチャネルトランジスタとを組み合わせる基準電圧 V_{REF} の設定を行ってもよい。

【0029】図4は、図1の回路の他の具体的回路図である。図3の例では、トランジスタ 9_1 とバイアス電流設定用抵抗 9_2 だけでは、基準電圧 V_{REF} の設定が困難な場合がある。したがって、互いに直列接続された抵抗 9_3 および 9_4 を、図3の具体例で示した基準電圧源9を構成するトランジスタ 9_1 に並列に接続し、抵抗 9_3 と 9_4 との交点を基準電圧端子9とする。抵抗 9_3 と 9_4 の比を適当に変えて、基準電圧 V_{REF} の設定を行う。

【0030】図5は、本発明の他の実施形態の回路図である。図1の実施形態では、入力端子1の信号電圧がハイレベルの期間において、制御端子2に制御信号が入力する場合であった。図1の実施形態の場合、入力信号がローレベルで、制御端子2に信号が入力し、スイッチ11および12が導通状態の場合は、容量15はトランジスタ13によって、常に $V_F - \Delta V_F$ の電圧値まで充電される。図5の実施形態は、上記現象を防止するためなされたもので、図6に示すように制御端子2が制御信号を入力し、スイッチ11および12が導通状態の期間に、入力端子1に信号が入力し、その期間のみ負荷14を定電流駆動する場合である。図5において、ゲートがトランジスタ7および8のゲートに、ソースが接地端子4に、ドレインが基準電圧源9の一端にそれぞれ接続されたトランジスタ7および8と同一導伝形式のトランジスタ16を設けられている。トランジスタ16はトランジスタ7および8と共にカレントミラー回路を構成し、基準電圧源9にバイアス電流を供給すると共に、入力端子1に信号が入力しハイレベルのときのみ導通する。したがって、基準電圧源9も同様に、上記の期間のみ導通状態となり、この時点から負荷14および容量15の電圧値が $V_F - \Delta V_F$ になるまで、トランジスタ13を介して電流を駆動する。

【0031】図7は、図5の回路の具体的回路図であり、ゲートとドレインが接続されたトランジスタ 9_1 で基準電圧源9を構成し、トランジスタ 9_1 のバイアス電流はトランジスタ16で行う。また、図3の具体例と同様、スイッチ11および12はPチャネルトランジスタで構成される。さらに、図3の具体例と同様に、図7の具体例はトランジスタ一個(9_1)のみの例を示しているが、負荷14の電流/電圧変換値によっては、トランジスタを複数個接続しても構わないし、さらに、PチャネルトランジスタとNチャネルトランジスタとを組み合わせ、基準電圧 V_{REF} の設定を行ってもよい。

【0032】図8は、図5の回路の他の具体的実施例である。互いに直列接続された抵抗 9_3 および 9_4 を、図7の具体例で示した基準電圧源9を構成するトランジスタ 9_1 に並列接続し、抵抗 9_3 と 9_4 との交点を基準電圧端子9とする。抵抗 9_3 と 9_4 の比を適当に変えて、

基準電圧 V_{REF} の設定を行う。

【0033】図9～図12はそれぞれ図3、4、8、10に対応し、FETトランジスタ7、8、9、11、12、13の代わりにバイポーラトランジスタ27、28、29、31、32を用いたものである。トランジスタ31、32のベースにはそれぞれ抵抗34、35が接続されている。

【0034】なお、以上の実施形態において電源端子3と接地端子4を逆にしてもよい。

【0035】

【発明の効果】以上説明したように本発明によれば、負荷を流れる電流の立ち上がり時間を速くすることができ、有機薄膜EL素子の駆動回路に適用した場合、発光応答速度が改善される。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の定電流駆動回路の回路図である。

【図2】図1の実施形態の動作を示すタイムチャートである。

【図3】図1の定電流駆動回路の具体例の回路図である。

【図4】図1の定電流駆動回路の他の具体例の回路図である。

【図5】本発明の他の実施形態の定電流駆動回路の回路図である。

【図6】図5の定電流駆動回路の動作を示すタイムチャートである。

【図7】図5の定電流駆動回路の具体例の回路図である。

【図8】図5の定電流駆動回路の具体例の回路図である。

【図9】トランジスタとしてバイポーラトランジスタを用いた図3に対応する実施形態の回路図である。

【図10】トランジスタとしてバイポーラトランジスタを用いた、図4に対応する実施形態の回路図である。

【図11】トランジスタとしてバイポーラトランジスタを用いた、図7に対応する実施形態の回路図である。

【図12】トランジスタとしてバイポーラトランジスタを用いた、図8に対応する実施形態の回路図である。

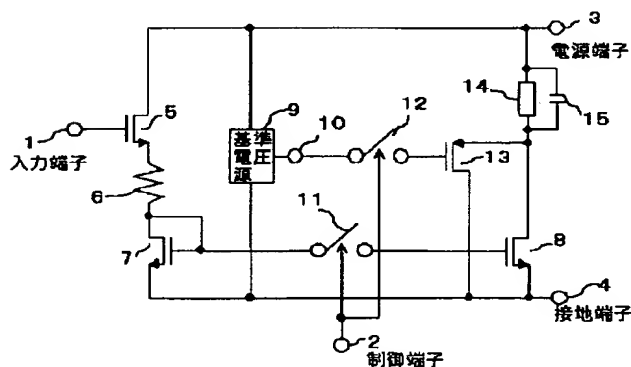
【図13】定電流駆動回路の従来例の回路図である。

【図14】有機薄膜EL素子の断面構造を示す図である。

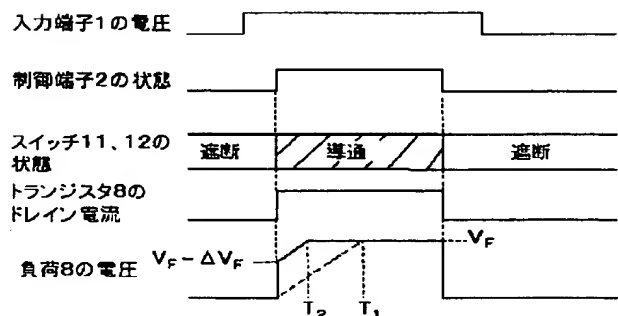
【符号の説明】

- 1 入力端子
- 2 制御端子
- 3 電源端子
- 4 接地端子
- 5 ソースフォロウ用トランジスタ
- 6 抵抗
- 7, 8, 13, 27, 28, 33 トランジスタ
- 9 基準電圧源
- 91, 291 トランジスタ
- 92, 93, 94 抵抗
- 10 基準電圧端子
- 11, 12 スイッチ
- 14 負荷
- 15 容量
- 16, 36 トランジスタ

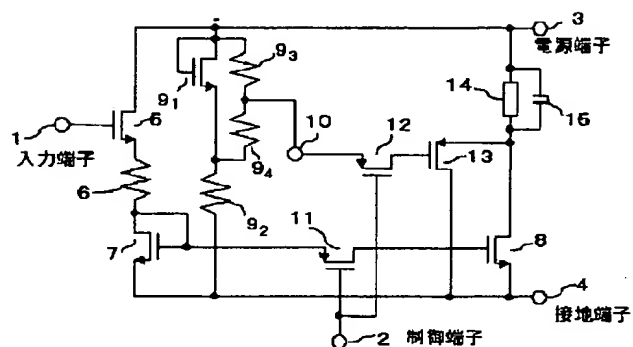
【図1】



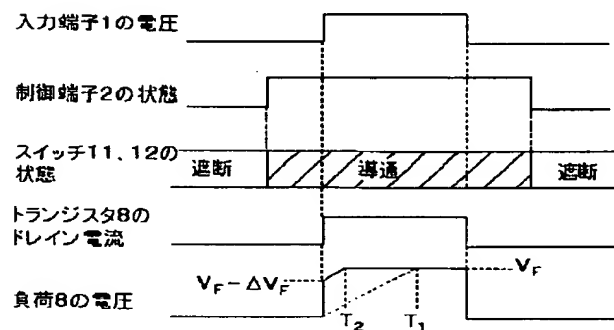
【図2】



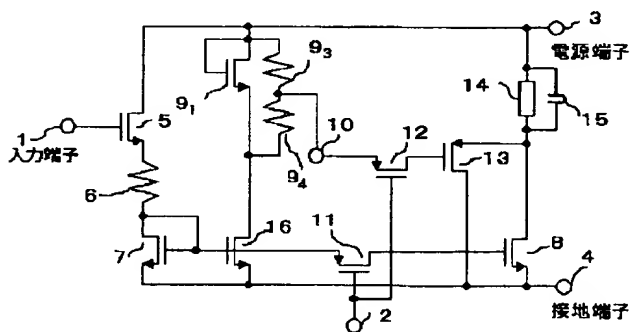
【図 4】



【図 6】



【图 7】



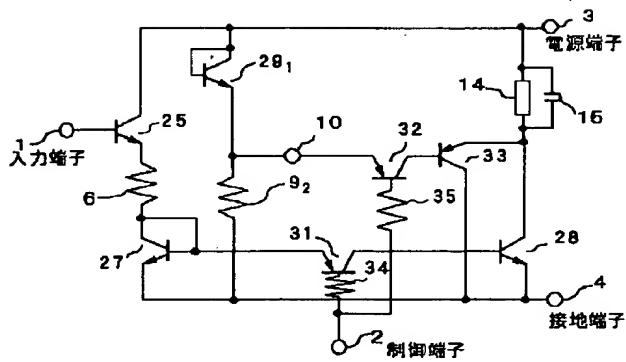
41 陰極電極

42 有機層

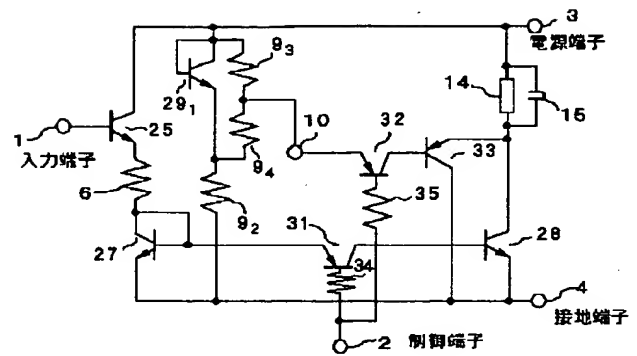
43 ITO透明電極

44 ガラス基板

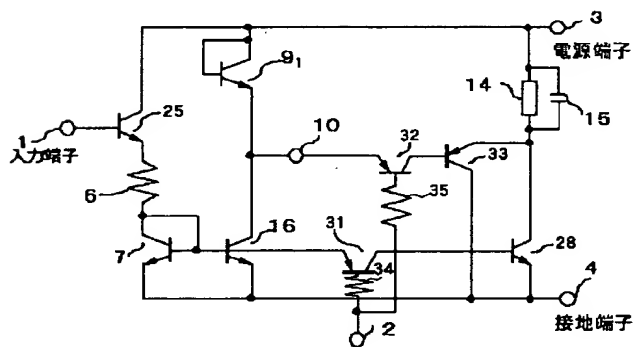
【図9】



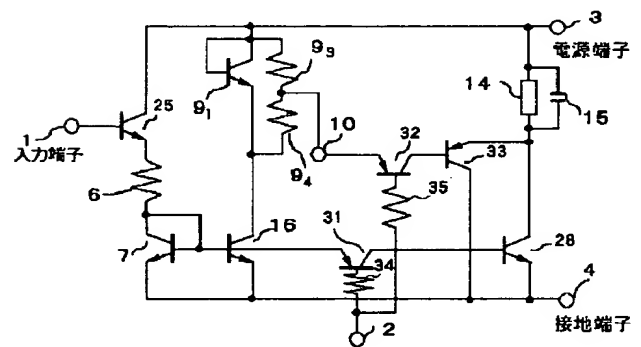
【図10】



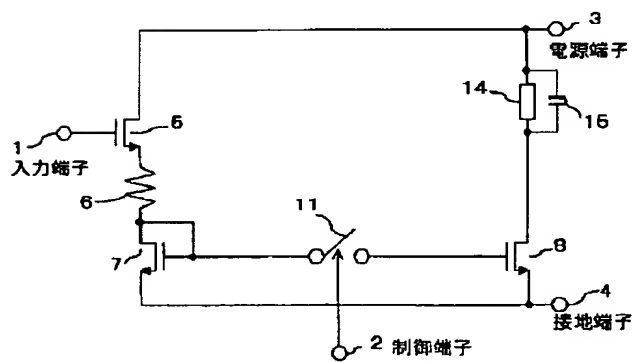
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 5C080 AA06 BB05 DD08 JJ02 JJ03
JJ04 JJ06
9J055 AX02 AX55 AX65 BX16 CX29
DX03 DX12 DX73 DX83 EX06
EX07 EY01 EY10 EY17 EY21
EZ00 EZ03 FX12 FX17 FX35
FX36 GX01 GX07